

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-115921

(43)Date of publication of application : 02.05.1997

(51)Int.CI.

H01L 21/331  
H01L 29/73  
H01L 27/00

(21)Application number : 07-267173

(71)Applicant : NEC CORP

(22)Date of filing : 16.10.1995

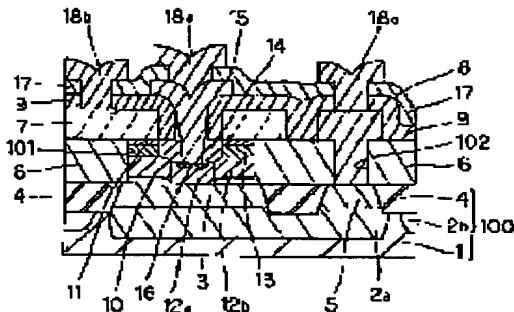
(72)Inventor : SATO FUMIHIKO

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

### (57)Abstract:

PROBLEM TO BE SOLVED: To reduce base resistance by forming a connection region between a genuine base and polysilicon for base electrode as polysilicon and diffusion an impurity into the connection region.

SOLUTION: P-type single-crystal silicon base region 12a is formed at a part where silicon collector layer is exposed and p-type polysilicon 12b is formed on a natural polysilicon. The polysilicon layer 12b and a polysilicon layer 13 toward a collector layer 3 are in contact. Then, heat treatment is performed to dope polysilicon which is selectively formed with a high density. Boron is diffused from polysilicon 7 for base electrode where boron is doped with a high density by this heat treatment and selectively formed polysilicons 11, 13, and 12b are doped with a high density, thus reducing base resistance.



### LEGAL STATUS

[Date of request for examination] 16.10.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2746225

[Date of registration] 13.02.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-115921

(43)公開日 平成9年(1997)5月2日

(51)Int.Cl.<sup>6</sup>

H 01 L 21/331  
29/73  
27/00

識別記号

府内整理番号  
301

F I

H 01 L 29/72  
27/00

技術表示箇所

301N

審査請求 有 請求項の数10 OL (全11頁)

(21)出願番号

特願平7-267173

(22)出願日

平成7年(1995)10月16日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 佐藤 文彦

東京都港区芝五丁目7番1号 日本電気株  
式会社内

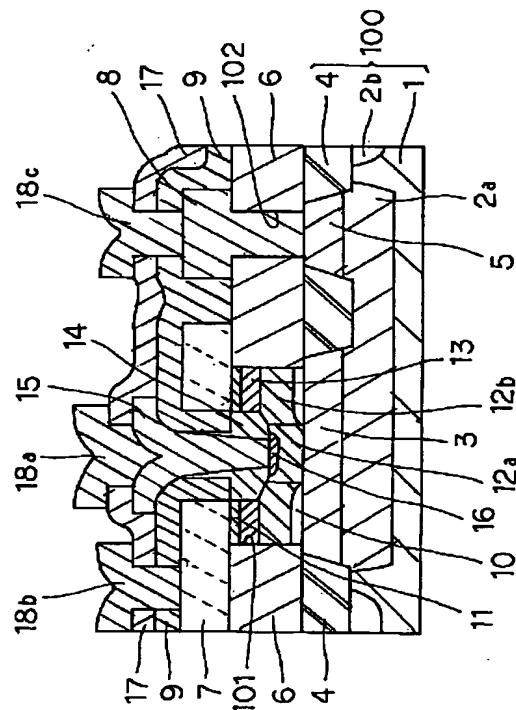
(74)代理人 弁理士 若林 忠

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 選択的エピタキシャル成長法によってベースを形成するバイポーラトランジスタにおいて、真性ベースとして用いる領域以外の部分の選択エピタキシャル層の抵抗を低減させる。

【解決手段】 選択的エピタキシャル成長法によってベースを形成するバイポーラトランジスタにおいて、選択成長の際に真性ベースとして用いる領域以外の部分が全て多結晶として形成することにより、選択成長後の熱処理により多結晶領域を高濃度にドープしてベース抵抗を低減させる。



## 【特許請求の範囲】

【請求項1】 第1導電型の第1の単結晶半導体領域に第1の絶縁膜からなる第1の開口を有し、この第1の絶縁膜上には反対導電型の第1の多結晶半導体膜が第1の開口に対してせりだした構造をなし、このせりだした部分の下の領域は、反対導電型の第2の多結晶半導体膜が第1の半導体に接する様に形成され、この第2の多結晶半導体膜に囲まれた第1の単結晶半導体領域上には、反対導電型の第2の単結晶半導体膜を有し、しかもこの第2の単結晶半導体膜の厚さは、第2の多結晶半導体の縦方向及び横方向のどちらよりも薄くなっていることを特徴とする半導体装置。

【請求項2】 第2の多結晶半導体膜がSiGeである請求項1記載の半導体装置。

【請求項3】 第1導電型の第1の単結晶半導体領域に第1の絶縁膜からなる第1の開口を有し、単結晶半導体領域上の第1の開口内部に第1導電型または反対導電型の第1の単結晶半導体膜を有し、第1の単結晶半導体膜の上には反対導電型の第2の単結晶半導体膜を有し、第1の絶縁膜上に第2の絶縁膜による第2の開口と第2の絶縁膜上に第3の絶縁膜による第3の開口とを有し、これらの開口の大きさは、第2、第1、第3の開口の順番に大きくなり、

この第3の絶縁膜上には反対導電型の第1の多結晶半導体膜が第3の開口に対してせりだした構造をなし、このせりだした部分の下の領域は、反対導電型の第2の多結晶半導体膜が第2の絶縁膜に接する様に形成され、更に第2の多結晶半導体膜の側面には、第1の半導体膜と同一の材質からなり反対導電型の第3の多結晶半導体膜を有し、

更に第3の多結晶半導体膜の側面には、第2の半導体膜と同一の材質からなり反対導電型の第4の多結晶半導体膜を有し、

第2の単結晶半導体膜と第4の多結晶半導体膜とは、接続され、しかもこの第2の単結晶半導体膜の厚さは、第2の多結晶半導体の縦方向及び横方向のどちらよりも薄くなっていることを特徴とする半導体装置。

【請求項4】 第1及び第2の半導体膜がSiGeである請求項3記載の半導体装置。

【請求項5】 島状に分離された第1導電型の第1の単結晶半導体領域に第1の絶縁膜を形成し、この第1の絶縁膜上に反対導電型の第1の多結晶半導体膜を形成し、

この第1の多結晶半導体膜に開口を形成し、この上及び開口側面を絶縁膜で被覆し、

第1の絶縁膜をエッティングして第1の多結晶膜に形成された開口より大きい第1の絶縁膜の第1の開口を形成することにより第1の多結晶膜が第1の開口に対してせりだした構造とし、

第1の多結晶膜下面に第2の多結晶膜を、第1の単結晶半導体領域上のうち第1の多結晶膜の下の領域に第3の多結晶膜を、同時にしかも選択的に形成し、

第1の単結晶半導体領域上に反対導電型の第2の単結晶半導体膜を、第2、第3の多結晶半導体膜上にそれぞれ第4、第5の多結晶半導体膜を第4、第5の膜が接続する様に、同時にしかも選択的に形成し、

熱処理を行い第1の多結晶半導体膜から不純物を拡散させて、第2、第4の多結晶膜に不純物を添加することを特徴とする半導体装置の製造方法。

【請求項6】 第1の単結晶半導体領域上のうち第1の多結晶膜の下の領域に第3の多結晶膜を形成する方法として、選択的多結晶堆積方法により第1の単結晶半導体膜上全面に多結晶を形成した後、この上に耐酸化性絶縁膜を形成し、ドライエッティングにより第1の多結晶半導体膜の下部領域以外の耐酸化性絶縁膜を除去し、酸化することで第2の多結晶半導体膜を第1の多結晶半導体膜の下部領域のみに残す請求項5記載の半導体装置の製造方法。

【請求項7】 第2、第3の多結晶半導体膜を形成した後、熱処理により第1の多結晶膜から第2の多結晶膜へと不純物を拡散させて第2の多結晶膜を高濃度に添加した後に第3、第4の多結晶膜を形成する請求項6又は7記載の半導体装置の製造方法。

【請求項8】 島状に分離された第1導電型の第1の単結晶半導体領域に複数の絶縁膜からなる多層膜を形成し、

この多層の絶縁膜上に反対導電型の第1の多結晶半導体膜を形成してこの多結晶膜の上を絶縁膜で覆い、この多結晶膜に開口を形成し、開口側面を絶縁膜で覆い、

多層の絶縁膜の最上層をエッティングして別の開口を形成することによりこの開口に対して第1の多結晶半導体膜がせりだした構造を形成し、

このせりだした部分の下の領域は、反対導電型の第2の多結晶半導体膜が第2の絶縁膜に接する様に形成し、熱処理により第1の多結晶半導体膜から不純物を拡散させて第2の多結晶半導体膜に高濃度に不純物を添加し、最上層以外の絶縁膜もエッティングして下層絶縁膜による開口を形成し、

単結晶半導体領域上の下層絶縁膜の開口内部に反対導電型の第1の単結晶半導体膜を形成し、同時に、第2の多結晶半導体膜の側面には、第1の単結晶半導体膜と同一の材質からなり反対導電型の第3の多結晶半導体膜を形成し、

第1の単結晶半導体膜の上には反対導電型の第2の単結晶半導体膜を形成し、同時に、第3の多結晶半導体膜の側面には、第2の半導体膜と同一の材質からなり反対導電型の第4の多結晶半導体膜を形成し、

第2の単結晶半導体膜と第4の多結晶半導体膜とは、接

続されていることを特徴とする半導体装置の製造方法。

【請求項9】 島状に分離された第1導電型の第1の単結晶半導体領域に第1、第2及び第3の絶縁膜を形成し、この第3の絶縁膜上には反対導電型の第1の多結晶半導体膜を形成し、この多結晶膜の上を絶縁膜で覆い、この多結晶膜に開口を形成し、開口側面を絶縁膜で覆い、第3の絶縁膜をエッチングして第3の絶縁膜からなる第3の開口を形成することにより第3の開口に対して第1の多結晶半導体膜がせりだした構造を形成し、このせりだした部分の下の領域は、反対導電型の第2の多結晶半導体膜が第2の絶縁膜に接する様に形成し、熱処理により第1の多結晶半導体膜から不純物を拡散させて第2の多結晶半導体膜に高濃度に不純物を添加し、第2の絶縁膜をエッチングして第2の絶縁膜による第2の開口を形成し、第1の絶縁膜をエッチングして単結晶半導体領域を露出させ第1の絶縁膜による第1の開口を形成し、単結晶半導体領域上の第1の開口内部に反対導電型の第1の単結晶半導体膜を形成し、同時に、第2の多結晶半導体膜の側面には、第1の単結晶半導体膜と同一の材質からなる反対導電型の第3の多結晶半導体膜を形成し、第1の単結晶半導体膜の上には反対導電型の第2の単結晶半導体膜を形成し、同時に、第3の多結晶半導体膜の側面には、第2の半導体膜と同一の材質からなる反対導電型の第4の多結晶半導体膜を形成し、第2の単結晶半導体膜と第4の多結晶半導体膜とは、接続されていることを特徴とする半導体装置の製造方法。

【請求項10】 単結晶半導体領域上の第1の開口内部に反対導電型の第1の単結晶半導体膜を形成し、同時に、第2の多結晶半導体膜の側面には、第1の単結晶半導体膜と同一の材質からなる反対導電型の第3の多結晶半導体膜を形成し、その直後に、熱処理を行うことにより第2の多結晶半導体膜から第3の多結晶半導体膜に不純物を拡散させて第3の多結晶半導体膜を高濃度に不純物を添加する請求項8又は9記載の半導体装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】 本発明は、半導体装置及びその製造方法に関し、特にバイポーラトランジスタの構造及びその製造方法に関する。

##### 【0002】

【従来の技術】 従来の半導体装置及びその製造方法に関し、図面を参照して説明する。

【0003】 特開平4-330730を参照する。図7は、この従来の半導体装置の一例の断面図を示す。P-型シリコン基板1上には、N<sup>+</sup>型埋め込み層2、更に上

には、N<sup>-</sup>型シリコンエピタキシャル層3を有し、素子分離のためのロコス酸化膜4、及びN<sup>+</sup>型コレクタ引き出し領域5が形成されている。以上によりシリコン基体100が構成される。このシリコン基体100の表面は、シリコン酸化膜6で覆われている。シリコン酸化膜には、コレクタ領域を構成するシリコンコレクタ層3の一部を露出し、ベース形成のための開口101と、コレクタ引き出し領域5を露出する開口102とが形成されている。

【0004】 シリコン酸化膜6上は、P<sup>+</sup>型ベース電極用ポリシリコン膜7は、選択的に形成されている。このポリシリコン膜は、開口101のエッジから開口内に水平方向にせり出している。このせり出し部分の下面からコレクタ領域を構成するシリコンコレクタ層3に向かってP型のポリシリコン層20が形成されている。一方、シリコンコレクタ層3の露出した部分には、選択エピタキシャル成長による単結晶シリコンによりP型ベース領域19が形成されている。これらポリシリコン層20とP型ベース領域19とは、互いに接触している。

【0005】 開口102には、N型ポリシリコン層8が形成され、コレクタ引き出し領域5と接触している。シリコン窒化膜9及びシリコン酸化膜14によって、エミッタ形成部を除いてベース領域19及びポリシリコン層7及び20がそれぞれ覆われている。ベース領域19の露出部分には、単結晶シリコンによるN型エミッタ領域16が形成されている。アルミニウム系のエミッタ電極17b、ベース電極17a及びコレクタ電極17cは、それぞれエミッタ領域16、ポリシリコン層7及び8にそれぞれ接触している。かかる構造によれば、ベース領域19は、エピタキシャル成長により、シリコン酸化膜6の厚さで制御されて薄く形成され、更にエミッタ領域16は、自己整合的に形成されるので、ベース領域19の平面的サイズを小さくでき、その結果高速なバイポーラトランジスタを実現できる。

【0006】 次に従来の半導体装置の製造方法の一例について図8と共に説明する。まず図8(a)に示すように、ひさし状に開口101が形成される。この構造を形成する工程についての詳細は実施例で説明する。次にガスソース分子線エピタキシー(MBE: Molecular Beam Epitaxy)法、UHV-CVD(Ultra High Vacuum-Chemical Vapor Deposition)法、Low Pressure Chemical Vapor Deposition(LPCVD)法などを用い、図8(b)に示す様にひさし状の開口101内に平坦な選択エピタキシャル層のベース領域19を形成する。この時P型ベース電極用ポリシリコン層7の下面に、P型のポリシリコン層20も成長する。続いて、図8(c)に示すように、ベース領域19とポリシリコン層20とが接触するまで成長が続けられる。

## 【0007】

【発明が解決しようとする課題】従来の半導体装置及びその製造方法では、ひさし構造のベース電極用ポリシリコン膜の下部領域のコレクタ用シリコンエピタキシャル層上には、選択的に形成された単結晶の領域がある。この単結晶領域は、ベース電極用ポリシリコン膜の下面に選択的に形成されたポリシリコン膜を介してベース電極用ポリシリコン膜へと接続されている。

【0008】第一の問題点は、この単結晶領域の抵抗が高いのでベース抵抗が増大してしまう。その理由は、ポリシリコン中の拡散定数は、単結晶中の拡散定数よりも大きいので選択的に形成されたポリシリコンへとベース電極用ポリシリコンからボロンが拡散されるので選択的に形成された単結晶領域へは、ほとんどボロンが拡散されない為である。

【0009】本発明の目的は、ベース抵抗の低減を可能としトランジスタの高速化を実現することにある。

## 【0010】

【課題を解決するための手段】本発明の半導体装置は、第1導電型の第1の単結晶半導体領域に第1の絶縁膜からなる第1の開口を有し、この第1の絶縁膜上には反対導電型の第1の多結晶半導体膜が第1の開口に対してせりだした構造をなし、このせりだした部分の下の領域は、反対導電型の第2の多結晶半導体膜が第1の半導体に接する様に形成され、この第2の多結晶半導体膜に囲まれた第1の単結晶半導体領域上には、反対導電型の第2の単結晶半導体膜を有し、しかもこの第2の単結晶半導体膜の厚さは、第2の多結晶半導体の縦方向及び横方向のどちらよりも薄くなっていることを特徴とする。

【0011】そして、その製造方法は、島状に分離された第1導電型の第1の単結晶半導体領域に第1の絶縁膜を形成し、この第1の絶縁膜上に反対導電型の第1の多結晶半導体膜を形成し、この第1の多結晶半導体膜に開口を形成し、この上及び開口側面を絶縁膜で被覆し、第1の絶縁膜をエッチングして第1の多結晶膜に形成された開口より大きい第1の絶縁膜の第1の開口を形成することにより第1の多結晶膜が第1の開口に対してせりだした構造とし、第1の多結晶膜下面に第2の多結晶膜を、第1の単結晶半導体領域上のうち第1の多結晶膜の下の領域に第3の多結晶膜を、同時にしかも選択的に形成し、第1の単結晶半導体領域上に反対導電型の第2の単結晶半導体膜を、第2、第3の多結晶半導体膜上にそれぞれ第4、第5の多結晶半導体膜を第4、第5の膜が接続する様に、同時にしかも選択的に形成し、熱処理を行い第1の多結晶半導体膜から不純物を拡散させて、第2、第4の多結晶膜に不純物を添加することを特徴としている。

## 【0012】

【発明の実施の形態】本発明ではひさし構造のベース電極用ポリシリコン膜の下部領域のコレクタ用シリコンエ

ピタキシャル層上は、全てポリシリコンとする。

【0013】ここで従来技術に比べて本発明によって、特性がどの程度改善されたかを述べる。本発明の効果は、ベース電極用ポリシリコンと真性ベースとの間の抵抗が低減されることにある。すなわち真性ベース 12a が形成される時に、真性ベースの横に同時に形成される結晶が、従来では単結晶であったものが本発明ではポリシリコン 12b となる。その結果、このポリシリコン領域がその後の熱処理によって抵抗を下げる事できる。もちろん添加された不純物の濃度が同じならば、ポリシリコンの抵抗は単結晶の抵抗よりも高くなる。しかしこの場合には成長段階に比べて約一桁近く高濃度に不純物が拡散されるので、抵抗低減効果がある。

【0014】トランジスタのベース抵抗の値は、縦および横方向の寸法によって変化するので単純には比較できない。しかし大まかには全部のベース抵抗にしめる、ベース電極用ポリシリコンを含めた電極部分、真性ベース部分、および両者の接続部分の占める割合は、ほぼ同程度である。ここではベース抵抗そのものではなく、最大発振周波数  $f_{max}$  として比較する。 $f_{max}$  は、ベース抵抗  $R_B$  の平方根に反比例する。本発明を用いることにより従来 40 GHz の  $f_{max}$  であったものが、46 GHz に向上した。

【0015】不純物の拡散定数は、単結晶中よりもポリシリコン中の方が大きいので、今までと同じ熱処理でもベース抵抗の低減を実現するものである。

## 【0016】

【実施例】次に本発明の第1の実施例につき説明する。ここでは n-p-n 型バイポーラに関して説明をするが、p-n-p 型バイポーラにも本発明が、適用可能なことは言うまでもない。

【0017】図1には、本発明の第一の実施例の半導体装置の縦断面図を示す。抵抗率が  $1.0 \sim 1.5 \Omega \cdot cm$  の  $P^-$  型シリコン基板 1 上には、 $N^+$  型埋め込み層 2a 及びチャンネルストッパー用  $p^+$  型埋め込み層 2b を有し、更に上には、 $N^-$  型シリコンエピタキシャル層 3 が形成されている。更に、素子分離のためのロコス酸化膜 4、及び  $N^+$  型コレクタ引き出し領域 5 が形成されている。以上によりシリコン基体 100 が構成される。

【0018】このシリコン基体 100 の表面は、シリコン酸化膜 6 で覆われている。シリコン酸化膜には、コレクタ領域を構成するシリコンコレクタ層 3 の一部を露出し、ベース形成のための開口 101 と、コレクタ引き出し領域 5 を露出する開口 102 とが形成されている。シリコン酸化膜 6 上は、 $P^+$  型ベース電極用ポリシリコン膜 7 は、選択的に形成されている。このポリシリコン膜は、開口 101 のエッジから開口内に水平方向にせり出している。このせり出し部分の下面からコレクタ領域を構成するシリコンコレクタ層 3 に向かって  $p^+$  型ポリシリコン層 11 及び  $p^+$  型ポリシリコン層 13 が順次形成

されている。一方、シリコンコレクタ層3の露出した部分には、開口101の端から一定距離以内の領域には、 $p^+$ 型ポリシリコン層10、 $p^+$ 型ポリシリコン層12bが積層される。開口端から一定距離以上離れた領域には、 $p$ 型単結晶シリコンベース領域が形成されている。これら $p^+$ 型ポリシリコン層12-bと $p^+$ 型ポリシリコン13とは、互いに接触している。開口102には、 $N^+$ 型ポリシリコン層8が形成され、コレクタ引き出し領域5と接触している。

【0019】シリコン窒化膜9及びシリコン酸化膜14、17によって、エミッタ形成部を除いたベース領域12-a及びポリシリコン層7、11、13、12b及びコレクタ電極用ポリシリコン層8がそれぞれ覆われている。ベース領域12a領域には、 $N^+$ 型エミッタ電極用ポリシリコン15からの不純物拡散によって形成された単結晶シリコンによる $N^+$ 型エミッタ領域16が形成されている。アルミニウム系のエミッタ電極18a、ベース電極18b及びコレクタ電極17cは、それぞれエミッタ領域16、ポリシリコン層7及び8にそれぞれ接触している。

【0020】次に、本発明の第一の実施例の主要工程に関して図面を参照して説明する。抵抗率が10～15Ω・cmのP-型(100)面方位のシリコン基板1上に、通常のCVD法または熱酸化法により、シリコン酸化膜(図示せず)を厚さ400nm～600nm形成する。次に通常のフォトリソグラフィー法によってシリコン酸化膜上にフォトレジストをパターニングする。このフォトレジストをマスク材としてHF系の液を用いてシリコン基板上のシリコン酸化膜の一部を完全に除去する。

【0021】次にフォトリソグラフィー工程での位置あわせのためにシリコン酸化膜開口内部のシリコン基板表面を20nm～50nm酸化した後、砒素をイオン注入する。注入条件としては、例えば、エネルギー50kV～120kVで、ドース量 $5E15\sim2E16\text{ cm}^{-2}$ が適当である。次にイオン注入された際の損傷回復、砒素の活性化、及び押し込みの為に、1000℃～1150℃の温度で処理する。この様にして $N^+$ 型埋め込み層2aが形成される。シリコン酸化膜を除去し、酸化、フォトレジストのパターニング、イオン注入、レジストの除去、活性化の熱処理を行いチャンネルストッパー用 $p^+$ 型埋め込み層2bを形成する。

【0022】次にシリコン酸化膜を全面除去した後に、通常の方法によって $N^-$ 型シリコンエピタキシャル層3を形成する。成長温度は、950℃～1050℃が適当であり原料ガスは、SiH<sub>4</sub>またはSiH<sub>2</sub>Cl<sub>2</sub>を用いる。ドーピングガスとしてPH<sub>3</sub>を用い、 $5E15\sim2E16\text{ cm}^{-3}$ の不純物を含有し、厚さが0.8μm～1.3μmが適当である。この様にして埋め込み層上に、 $N^-$ 型シリコンエピタキシャル層3を形成する。

【0023】次に素子分離のためのロコス酸化膜4を形成する。まずエピタキシャル層3の表面に20nm～50nmの熱酸化膜(図示せず)を形成し、シリコン窒化膜(図示せず)を厚さ70nm～150nm形成する。引き続きフォトリソグラフィーによってフォトレジスト(図示せず)をパターニングして、ドライエッチングによりシリコン窒化膜の一部を除去する。フォトレジストを除去後、素子領域は、シリコン窒化膜により保護された状態で酸化することにより素子分離のためのシリコン酸化膜すなわちロコス酸化膜4が形成される。ロコス酸化膜は、チャンネルストッパー用埋め込み層2bに達する厚さが適当であり、たとえば700nm～1000nmである。シリコン窒化膜は、熱したリン酸によって取り除く。次にコレクタ抵抗を下げるために $N^+$ 型コレクタ引き出し領域5を形成する。方法としては、拡散やイオン注入法によってリンをこの領域にドープする。以上によりシリコン基体100が構成される。

【0024】このシリコン基体100の表面は、シリコン酸化膜6で覆われている。その膜厚としては、150nm～300nmが適当であり、ここでは、200nmであった。このシリコン酸化膜6には、通常のフォトリソグラフィーとエッチングによってコレクタ引き出し領域5の表面が露出するように開口102を形成する。次に、ポリシリコンを堆積する。ポリシリコンの厚さとしては、200nm～350nmが適当であり、ここでは250nmであった。このポリシリコンには、将来ベース電極用ポリシリコンとして使う領域にはボロンを、コレクタ電極用ポリシリコンとして使う領域にはリンをフォトレジストをマスク材としてイオン注入する。次にフォトレジストをパターニングした後ドライエッチングにより不要なポリシリコンを除去する。この様にして $P^+$ 型ベース電極用ポリシリコン7及び $N^+$ 型コレクタ電極用ポリシリコン8が形成される。

【0025】引き続きシリコン窒化膜をLPCVD法によって約150nm堆積する(シリコン窒化膜の膜厚は、100nm～200nmが適当である)。次に通常のフォトリソグラフィによって、将来エミッタを形成する部分にフォトレジストの開口を形成する。引き続き異方性ドライエッチングによりシリコン窒化膜とベース電極用ポリシリコンとを連続して除去する。更にLPCVD法によりシリコン窒化膜を50nm～100nm堆積する。ここで再び異方性ドライエッチングによりこの開口の底の部分のシリコン窒化膜を完全に除去する。この結果開口内部のベース電極用ポリシリコンの側面は、シリコン窒化膜により被覆される(図の中では、先にベース電極用およびコレクタ電極用ポリシリコンの上に堆積したシリコン窒化膜と開口内側壁に形成されたシリコン窒化膜とを併せて、シリコン窒化膜9として表示する)。

【0026】次にHF系のエッチング液によって開口底

面のシリコン酸化膜6をエッチングしてコレクタ領域を構成するシリコンコレクタ層3の一部を露出し、ベース形成のための開口101を形成する。シリコン酸化膜6をエッチングして露出させるベース電極用ポリシリコン下面の寸法は、ベース電極用ポリシリコンの膜厚より小さい寸法で充分である。例えば、100nm～250nmが適当であり、ここでは、200nmであった。この様にして、図2(a)となる。

【0027】次に選択的ポリシリコン成長法によって、シリコンコレクタ層3の露出した表面には無添加ポリシリコン10-1を、ベース電極用ポリシリコン7の露出している下面には無添加ポリシリコン11-1を堆積する。選択的ポリシリコン成長方法の例としては、T. Aoyama, 他 "Selective Polysilicon Deposition (SPD) by Hot-Wall LPCVD and Its Application to High Speed Bipolar Devices", Extended Abstract on Solid State Devices and Materials, pp.665-668(1990)に示されている。LPCVD法で原料ガスとしてSiH<sub>2</sub>C<sub>12</sub>を300sccm、HC1を160sccm使用して、圧力は30Torr、温度は800℃であった。ここで、無添加ポリシリコン10-1の膜厚は、約30nmであった。この様にして、図2(b)となる。

【0028】次にLPCVD法によって、シリコン酸化膜19、及びシリコン窒化膜20を堆積する。各々の膜厚は、数10nmが、適当である。この様にして、図2-(c)となる。引き続き、異方性のドライエッティングによって、先に選択的に堆積したポリシリコンの開口の直下の領域のシリコン窒化膜を選択的に除去する。この様にして図2(d)となる。

【0029】次に酸化性の雰囲気下で開口直下のポリシリコンを完全に酸化膜に変化させる。この状態が、図3(e)である。引き続き熱したリン酸及びHF系の液によってシリコン窒化膜20及びシリコン酸化膜19を順次除去する。この結果、コレクタ層3の上に形成されたポリシリコン10のうち、開口直下領域のポリシリコンは、完全に除去された状態となる。この状態が図3(f)である。

【0030】次に従来技術と同様に選択的エピタキシャル成長法によって真性ベースを形成する。成長条件としては、LPCVD法、ガスソースMBE法なども可能であるが、ここではUHV/CVD法を例として説明する。Si<sub>2</sub>H<sub>6</sub>流量3sccm、温度605℃、が条件の一例である。この時、ベース電極用ポリシリコンせり出し部分の下面からコレクタ領域を構成するシリコンコレクタ層3に向かってP型のポリシリコン層13が形成される。

【0031】一方、シリコンコレクタ層3の露出した部分にはp型単結晶シリコン・ベース領域12aが、無添加ポリシリコン10の上にはp型ポリシリコン12bが、形成されている。これらポリシリコン層12bと1

3は、互いに接触している。この状態が図3(g)である。次に選択的に形成されたポリシリコンを高濃度にドープするために熱処理を行う。この熱処理によって高濃度にボロンがドープされたベース電極用ポリシリコン7からボロンが拡散されて選択的に形成されたポリシリコン11、13、12bが高濃度にボロンがドープされる。熱処理条件の例としては、800℃、10分であった。尚不純物の拡散は、単結晶中よりも多結晶の方が一般に速く、この熱処理によってポリシリコン中は、充分に高濃度化される。

【0032】この熱処理で、ポリシリコン10にまで、ボロンが拡散されても問題にはならない。また、この熱処理でベース12aからコレクタ3へとボロンが拡散されて実効的なベース幅が広がるがここでは、図面上変化がない状態で描いてある。引き続き、LPCVDによるシリコン酸化膜の堆積及び異方性ドライエッティングを行うことによりシリコン酸化膜14の側壁を形成する。更に無添加のポリシリコンをLPCVD法によって堆積した後、砒素をイオン注入する。ポリシリコンの膜厚は、150nmから300nmが適しており、イオン注入条件は、ポリシリコンを突き抜けないエネルギー(70keV～100keV)を選びドースは5E15～2E16cm<sup>-2</sup>が適当である。このポリシリコンをフォトリソグラフィー工程とドライエッティングによりエミッタ電極用ポリシリコン15が形成される。次にエミッタ押し込みのための熱処理を行いシリコン酸化膜の側壁で囲まれベース領域12aに、単結晶シリコンによるN型エミッタ領域16が形成される。この状態が、図3(h)である。

【0033】次にシリコン酸化膜17によって表面を覆いエミッタ、ベース、及びコレクタ電極用ポリシリコンに達するコンタクトを開口し、アルミニウム系合金をスパッタした後フォトリソグラフィーと異方性ドライエッティングを行いアルミニウム系のエミッタ電極18a、ベース電極18b及びコレクタ電極18cを形成する。以上のプロセスを経て図1の断面構造を有するトランジスタが形成できる。

【0034】ここで従来技術に比べて本発明によって、特性がどの程度改善されたかを述べる。本発明の効果は、ベース電極用ポリシリコンと真性ベースとの間の抵抗が低減されることにある。すなわち真性ベース12aが形成される時に、真性ベースの横に同時に形成される結晶が、従来では単結晶であったものが本発明ではポリシリコン12bとなる。その結果、このポリシリコン領域がその後の熱処理によって抵抗を下げることができる。もちろん添加された不純物の濃度が同じならば、ポリシリコンの抵抗は単結晶の抵抗よりも高くなる。しかしこの場合には成長段階に比べて約一桁近く高濃度に不純物が拡散されるので、抵抗低減効果がある。

【0035】トランジスタのベース抵抗の値は、縦およ

び横方向の寸法によって変化するので単純には比較できない。しかしだまかには全部のベース抵抗にしめる、ベース電極用ポリシリコンを含めた電極部分、真性ベース部分、および両者の接続部分の占める割合は、ほぼ同程度である。ここではベース抵抗そのものではなく、最大発振周波数  $f_{max}$  として比較する。 $f_{max}$  は、ベース抵抗  $R_B$  の平方根に反比例する。本発明を用いることにより従来  $4.0\text{ GHz}$  の  $f_{max}$  であったものが、 $4.6\text{ GHz}$  に向上した。

【0036】次に本発明の第2の実施例につき図面を参照して説明する。図4は、本発明の第2の実施例である半導体装置の縦断面図である。

【0037】抵抗率が  $1.0\sim1.5\Omega\cdot\text{cm}$  の  $P^-$  型 (100) 面方位のシリコン基板1上には、 $N^+$  型埋め込み層2a及びチャンネルストッパー用  $p^+$  型埋め込み層2bを有し、これらの上には、 $N^-$  型シリコンエピタキシャル層3が形成されている。更に、素子分離のためのロコス酸化膜4、及び $N^+$  型コレクタ引き出し領域5が形成されている。以上によりシリコン基体100が構成される。ここ迄は、第1の実施例と同じである。このシリコン基体100の表面は、シリコン酸化膜31、シリコン窒化膜32及びシリコン酸化膜33の順番からなる積層膜で覆われている。この積層膜には、コレクタ電極を構成するシリコンコレクタ層3の一部を露出し、コレクタ引き出し領域5を露出する開口102が形成されている。開口102には、 $N^+$  型ポリシリコン層8が形成され、コレクタ引き出し領域5と接觸している。この積層膜のシリコン酸化膜31にはベース形成のための開口302が、シリコン酸化膜33には真性ベースを外部に引き出す為に開口301が形成されている。シリコン酸化膜33上に、 $P^+$  型ベース電極用ポリシリコン膜7が、選択的に形成されている。このポリシリコン膜は、開口301のエッジから開口内に水平方向にせり出している。このせり出し部分の下面からコレクタ領域を構成するシリコンコレクタ層3に向かって  $p^+$  型ポリシリコン層34がシリコン窒化膜32とベース電極用ポリシリコン7との間の領域に形成されている。

【0038】一方、シリコンコレクタ層3の露出した部分には、開口302上の領域には、単結晶SiGe膜35が形成されている。このSiGe膜の導電型はn型でもp型でもよい。なぜなら、n型ならばコレクタとして機能し p型ならばベースの一部として機能する。ここでは、p型として説明する。 $p^+$  型ポリシリコン34の側面には  $p^+$  型多結晶SiGe膜36及びp型多結晶SiGe膜38が形成され、p型単結晶SiGe層35上には、p型単結晶SiGe真性ベース層37が形成されている。これらp型単結晶SiGe真性ベース層37とp型多結晶SiGe膜38とは、互いに接続している。シリコン窒化膜9及びシリコン酸化膜14、17によつて、エミッタ形成部を除いたベース領域37及びポリシリ

リコン層7、多結晶SiGe膜38、及びコレクタ電極用ポリシリコン層8がそれぞれ覆われている。ベース領域37上領域には、 $N^+$  型単結晶シリコンエミッタ領域39が形成され、更にその上に $N^+$  型エミッタ電極用ポリシリコン15を有する。アルミニウム系のエミッタ電極18a、ベース電極18b及びコレクタ電極17cは、それぞれエミッタ領域15、ポリシリコン層7及び8にそれぞれ接觸している。

【0039】次にこの実施例の製造方法について説明する。第1の実施例と異なる工程だけについて詳細に説明する。シリコン基体100を形成するまでは、第1の実施例と同一のプロセスを用いる。次にシリコン基体100上に  $1.5\text{ nm}$  のシリコン酸化膜31を、熱酸化法またはCVD法によって形成する。この時、膜厚は  $1.0\text{ nm}$  から  $5.0\text{ nm}$  が適当である。次にLPCVD法によって  $1.5\text{ nm}$  のシリコン窒化膜32を、形成する。この時、膜厚は  $1.0\text{ nm}$  から  $5.0\text{ nm}$  が適当である。シリコン酸化膜31とシリコン窒化膜32との膜厚の合計が、後工程で形成する無添加SiGe膜の膜厚とほぼ同じとなる様にすることが、望ましい。次にCVD法によって  $1.2\text{ nm}$  のシリコン酸化膜33を形成する。この膜厚は、 $7.0\text{ nm}$  から  $15.0\text{ nm}$  が適している。

【0040】次に第1の実施例と同様にベース電極用ポリシリコン形成、同ポリシリコン上のシリコン窒化膜の堆積、フォトリソグラフィとドライエッチングによる開口形成、シリコン窒化膜の堆積とエッチバックによる開口内の側壁形成を行う。この状態が図5(a)である。

【0041】次にシリコン酸化膜33をHF系のエッティング液によって、開口端から横方向へとエッティングして除去する。この結果として、ベース電極用ポリシリコンの下面が、約  $1.00\text{ nm}$  から約  $2.50\text{ nm}$  露出され開口301が形成される。先に述べた様に露出させる寸法は、ベース電極用ポリシリコンの厚さ以上とする必要はない。この時シリコン窒化膜は、ほとんどエッティングされないのでシリコン窒化膜32及びシリコン窒化膜9は元の形状のままである。この状態が図5(b)である。

【0042】次に露出されたベース電極用ポリシリコン下面に、選択的にポリシリコンを堆積させる。方法としては、ガスソースMBE法、UHV/CVD法、LPCVD法等がある。ここでも第一の実施例と同様にLPCVD法を用いる。この結果、ひさし形状をなすベース電極用ポリシリコンの露出下面に、選択的に無添加ポリシリコンを埋め込むことができる。次にベース電極用ポリシリコンから無添加ポリシリコンへ不純物原子、(ここではボロン)を拡散させるために熱処理(例えば  $900^\circ\text{C}$ 、30分)を行なう。この結果、ベース電極用ポリシリコンとシリコン窒化膜32との間の領域に  $p^+$  型ポリシリコン34が形成される。この状態が図5(c)である。

【0043】次に開口底のシリコン窒化膜32を除去す

るために熱したリン酸にウエハーを浸漬する。このとき同時にウエハー表面のシリコン窒化膜9も膜厚が減少するが、(この減少分は図面上省略)その減少分だけはじめから膜厚を厚く設定しておくことにより問題とはならない。この状態が図5(d)である。

【0044】次にHF系の液によってシリコン酸化膜31を除去しシリコンコレクタ3を露出させる。このときエッティングは、必要最小限にするほうが、望ましい。その理由は、コレクタ・ベース接合容量は、エッティングされたシリコン酸化膜の面積に比例するので接合容量低減の効果がある。この結果、シリコンコレクタ上にシリコン酸化膜31からなる開口302が形成される。この状態が、図6(e)である。

【0045】次に選択エピタキシャル成長法によって、開口302内部のシリコンコレクタ3上に無添加SiGe層35を成長する。Ge濃度は、約10%であった。この時仮にファセットが発生してもこのSiGe層35の上端においてシリコン窒化膜32と接していれば、事实上問題ない。成長膜厚は、シリコン酸化膜31とシリコン窒化膜32の膜厚の合計とほぼ同程度が望ましくこの場合約25nmである。もちろん後工程の熱処理によって、欠陥が発生しない範囲内で膜厚を厚くすることは可能である。この時同時にp<sup>+</sup>型ポリシリコン34の側面にも無添加多結晶SiGe膜が形成される。この多結晶膜を高濃度にボロンを添加するために、熱処理することによりp<sup>+</sup>型多結晶SiGe膜36とする。この状態が、図6(f)である。

【0046】次に真性ベース37を無添加SiGe膜35上に形成する。真性ベース層は二層からなり、傾斜Geプロファイルをなすp<sup>+</sup>型SiGe層とp型Si層とから構成されている。Geプロファイル、不純物としてのボロン濃度プロファイル、とその膜厚の例を述べる。SiGe中のGe濃度が10%から直線的に0%へと減少するプロファイルを持つ層の厚さは、40nmである。その上にGeを含まないすなわち純粹にSiからなる層が、30nm存在する。この両層には、ボロンが5E18cm<sup>-3</sup>が添加されている。この場合、同時にp<sup>+</sup>型多結晶SiGe膜の側面にも真性ベースの成長時のドーピングを反映してGe、ボロンを含んだ多結晶膜38が形成される。この状態が、図6(g)である。

【0047】次にシリコン酸化膜の堆積とドライエッチによるエッチバックによって側壁としてのシリコン酸化膜14を形成する。更に、無添加ポリシリコンをLPCVD法によって堆積して不純物として砒素をイオン注入法によって添加する。注入条件の例としては、エネルギー70KeV、ドーズ量1E16cm<sup>-3</sup>であった。勿論LPCVDで堆積する段階で同時に砒素を添加する方法でもよい。更にフォトリソグラフィーとドライエッティングによってパターニングする。これによってエミッタ電極用ポリシリコン15が形成される。次に熱処理によつ

て砒素をエミッタ電極用ポリシリコンから拡散させることにより単結晶エミッタ領域39を形成する。この状態が、図6(h)である。

【0048】以下第1の実施例と同様にシリコン酸化膜17によって表面を覆いエミッタ、ベース、及びコレクタ電極用ポリシリコンに達するコンタクトを開口し、アルミニウム系合金をスパッタした後フォトリソグラフィーと異方性ドライエッティングを行いアルミニウム系のエミッタ電極18a、ベース電極18b及びコレクタ電極18cを形成する。以上のプロセスを経て図4の断面構造を有するトランジスタが形成できる。

【0049】この第2の実施例によるトランジスタは第1の実施例に比べて、少ない工程数(第1の実施例では、図2(b)のドライエッチ工程や図2(c)の酸化の工程が第2の実施例よりも多い)でベース抵抗低減を実現できる点である。更にこの実施例では”真性ベースの厚さを第1の実施例と同じとした場合でも、ベース電極用ポリシリコンとコレクタとの間隔を第1の実施例よりも広くすることが可能となるので、両者の間に発生する容量を低減できる”、と言う効果も有する。

#### 【0050】

【発明の効果】以上説明したように本発明によれば真性ベース形成と同時に、ひさし形状ベース電極用ポリシリコンの下部領域、すなわち真性ベースとベース電極用ポリシリコンとを接続している部分に選択的に形成されるシリコン膜を全てポリシリコンとすることができます。

【0051】ポリシリコン中の不純物の拡散は単結晶中の拡散よりも速いので、この差を利用することにより、初期段階では真性ベースと同程度の不純物しかドープされていないために抵抗が高かったこの接続領域は、ベース形成後、意図的に熱処理を行い、ベース電極用ポリシリコンから接続領域ポリシリコンへと不純物拡散を行うことによりこの部分の抵抗を下げることができる。すなわち、本発明によりベース抵抗を低減できると言う効果を有する。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施例の半導体装置の縦断面図。

【図2】第1の実施例の半導体装置製造の主要工程の断面図。

【図3】第1の実施例の半導体装置製造の主要工程の断面図。

【図4】本発明の第2の実施例の半導体装置の縦断面図。

【図5】第2の実施例の半導体装置製造の主要工程の断面図。

【図6】第2の実施例の半導体装置製造の主要工程の断面図。

【図7】従来技術による半導体装置の縦断面図。

【図8】従来技術による半導体装置製造フローの主要工

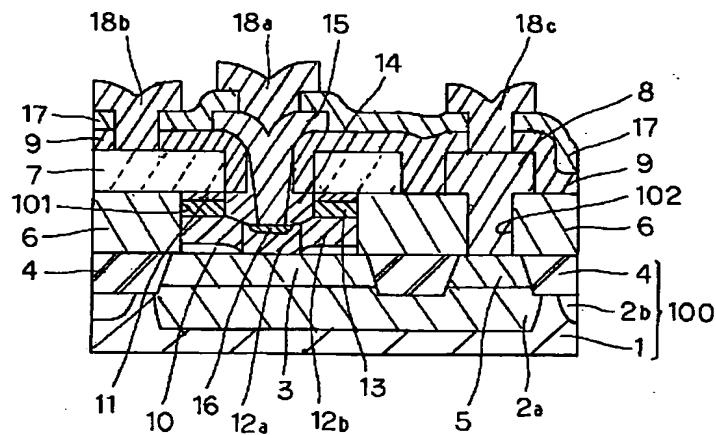
程縦断面図。

【符号の説明】

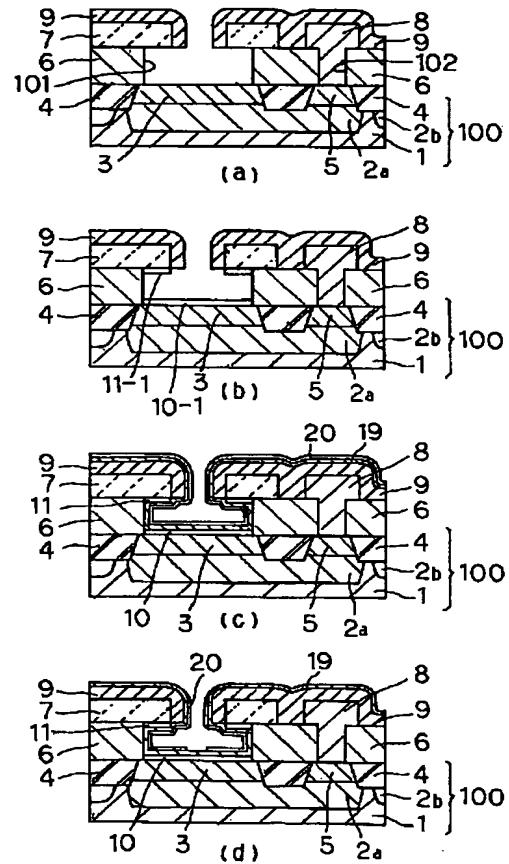
- 1 P<sup>-</sup>型シリコン基板
- 2 a N<sup>+</sup>型埋め込み層
- 2 b P<sup>+</sup>型埋め込み層
- 3 コレクタ用N<sup>-</sup>型シリコンエピタキシャル層
- 4 ロコス酸化膜
- 5 N<sup>+</sup>型コレクタ引き出し領域
- 6 シリコン酸化膜
- 7 P<sup>+</sup>型ベース電極用ポリシリコン膜
- 8 N<sup>+</sup>型コレクタ電極用ポリシリコン
- 9 シリコン窒化膜
- 10 ポリシリコン
- 11 ポリシリコン
- 12 a 単結晶シリコン真性ベース
- 12 b ポリシリコン
- 13 ポリシリコン
- 14 シリコン酸化膜
- 15 N<sup>+</sup>型エミッタ電極用ポリシリコン
- 16 N型単結晶エミッタ領域

- 17 シリコン酸化膜
- 18 a エミッタ電極
- 18 b ベース電極
- 18 c コレクタ電極
- 19 シリコン酸化膜
- 20 シリコン窒化膜
- 31 シリコン酸化膜
- 32 シリコン窒化膜
- 33 シリコン酸化膜
- 34 p<sup>+</sup>型ポリシリコン
- 35 無添加単結晶SiGe膜
- 36 p<sup>+</sup>型多結晶SiGe膜
- 37 p型単結晶SiGe真性ベース層
- 38 p型多結晶SiGe膜
- 39 n<sup>+</sup>型単結晶シリコンエミッタ
- 100 シリコン基体
- 101 開口
- 102 開口
- 301 開口
- 302 開口

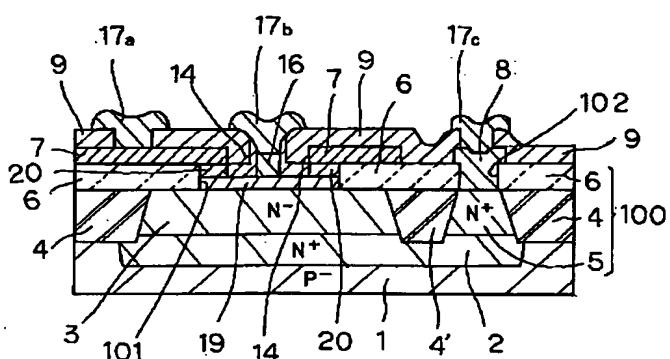
【図1】



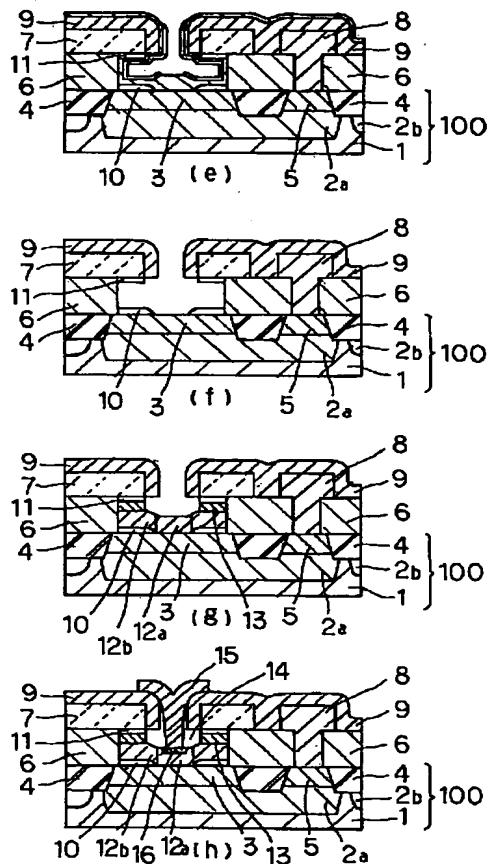
【図2】



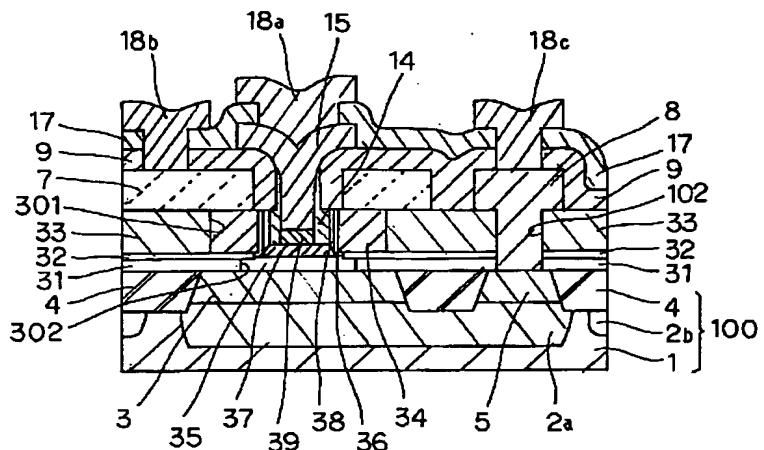
【図7】



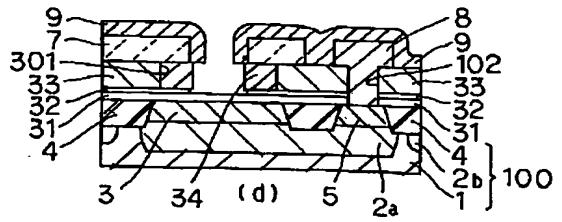
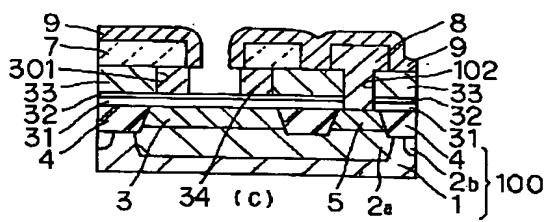
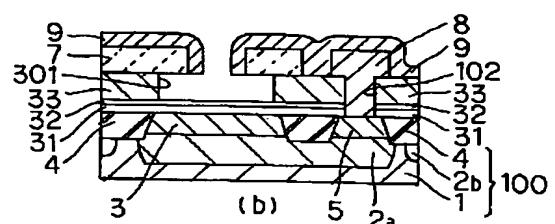
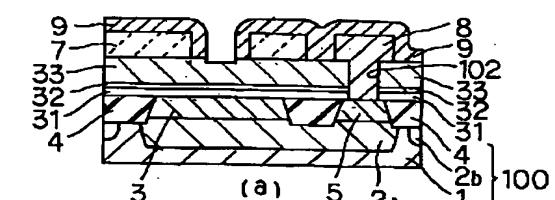
【図3】



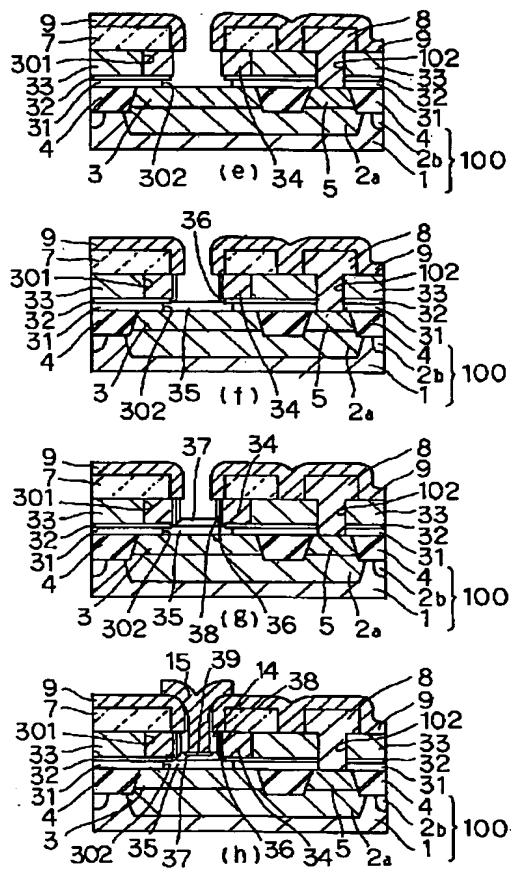
【図4】



[図5]



【図6】



【図8】

